

(19)



KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication
number: 1020040026576 A
(43)Date of publication of application:
31.03.2004

(21)Application number: 1020020058120

(71)Applicant:

SAMSUNG ELECTRONICS
CO., LTD.

(22)Date of filing: 25.09.2002

(72)Inventor:

CHOI, JEONG HWAN

(51)Int. Cl

H03K 19/00

(54) SIMULTANEOUS BIDIRECTIONAL INPUT/OUTPUT CIRCUIT FOR IMPROVING DATA INPUT MARGIN

(57) Abstract:

PURPOSE: A simultaneous bidirectional input/output circuit for improving a data input margin is provided to increase the data input margin and regenerate data by improving a structure of a bidirectional input/output circuit.

CONSTITUTION: A simultaneous bidirectional input/output circuit for improving a data input margin includes a bus line(330), an input terminal(310), an output buffer(320), and an input buffer(350). The output buffer(320) is connected between the bus line(330) and the input terminal(310) in order to receive signals from the input terminal and transmit the signals to the bus line. The input buffer(350) is connected between the bus line(330) and the input terminal(310) in order to regenerate input signals by comparing two reference signals of three reference signals having different levels according to states of the signals of the input terminal and the input signals of the outside with the signals of the bus line determined by output signals of the output buffer.

&copy; KIPO 2004

Legal Status

공개특허 제2004-26576호(2004.03.31) 1부.

[첨부그림 1]

10-2004-0026576

(19) 대한민국특허청(KR)
 (12) 공개특허공보(A)

(51) Int. Cl.
 H03K 19/00

(11) 공개번호 10-2004-0026576
 (43) 공개일자 2004년 03월 31일

(21) 출원번호 10-2002-0056120
 (22) 출원일자 2002년 09월 25일
 (71) 출원인 삼성전자주식회사
 경기도 수원시 영통구 매단동 416
 (72) 발명자 최정관
 경기도 수원시 팔달구 인계동 366번지 삼성마파트 102-902
 (74)代理人 이영철

설명구 : 없음

(54) 데이터 입력 마진을 개선할 수 있는 동시 양방향 입출력회로

요약

데이터 입력 마진을 증가시킨 동시 양방향 입출력 회로 및 데이터 격률 분비미 개시된다. 동시에 데이터를 전송하고 수신하기 위한 데이터 입출력회로는 버스라인; 입력단자; 상기 버스라인 및 상기 입력단자사이에 접속되고, 상기 입력단자를 통하여 입력되는 출력신호를 수신하여 상기 버스라인으로 전송하는 미에 접속되고, 상기 입력단자사이에 접속되고, 상기 입력단자를 통하여 입력되는 출력신호를 수신하여 상기 버스라인 및 상기 버스라인 및 상기 입력단자사이에 접속되고, 상기 입력단자를 통하여 입력되는 출력신호를 수신하여 상기 출력신호 및 상기 버스라인의 상태에 따라, 서로 다른 레벨을 갖는 세 개의 기준신호를 증에서 두개의 기준신호를 및 상기 출력신호와 상기 출력신호와 상기 출력신호의 출력신호에 의하여 결정된 상기 데이터 입력단자회로의 외부로부터 입력된 입력신호와 상기 출력신호의 출력신호에 의하여 결정된 상기 버스라인상의 신호를 비교하고, 상기 입력신호를 재생하는 입력비퍼를 구비한다. 상기 세 개의 기준신호를 증에서 어느 하나의 기준신호는 나머지 기준신호들의 합의 절반이다. 본 발명에 따른 동시 양방향 입출력회로 및 데이터 재생방법은 3개의 기준신호들과 출력신호로 각각을 50%정도의 스윙 마진(swing margin)을 가지고 접합하는 효과가 있다.

기호도

도 3

작성자

동시 양방향 입출력회로(simultaneous input/output(I/O) circuit)

설명서

도면의 관용적 용어

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 상세한 설명이 제공된다.

도 1은 출려의 두 개의 동시 양방향 입출력회로를 구비하는 데이터 전송 시스템의 개략적인 블럭도이다.

도 2는 도 1에 도시된 데이터 전송 시스템의 동작을 나타내는 타이밍도이다.

도 3은 본 발명의 실시예에 따른 동시 양방향 입출력회로의 개략적인 블럭도이다.

도 4는 도 3에 도시된 입력비퍼의 제1회로도를 나타낸다.

도 5는 도 3에 도시된 입력비퍼의 제2회로도를 나타낸다.

도 6은 도 3에 도시된 데이터 전송 시스템의 개략적인 블럭도이다.

도 7은 본 발명의 실시예에 따른 동시 양방향 입출력회로를 구비하는 데이터 전송 시스템의 개략적인 블럭도를 나타낸다.

도 8은 도 7에 도시된 데이터 전송 시스템의 동작을 나타내는 타이밍도이다.

발명의 실체적 용어

작성자

작성자 수 있는 기술분야 및 그 분야의 종래기술

[첨부그림 2]

10-2004-0026576

본 발명은 반도체 장치에 관한 것으로, 보다 구체하게는 디미터를 동시에 주고받을 수 있는 용시 양방향 입출력 회로(multidirectional input/output(I/O) circuit) 및 상기 동시에 양방향 입출력 회로를 이용한 디미터 재생방법에 관한 것이다.

용시 양방향 입출력 회로를 구비하는 시스템은 동시에 동일한 디미터 버스 라인을 통하여 디미터를 주고받을 수 있다. 따라서 이러한 시스템의 데이터 대역폭(data bandwidth)은 버스의 크기(bus size)를 증가시킬 수 있고, 단축적으로 두 배로 증가되는 효과가 있다.

도 1을 중심으로 두 개의 동시에 양방향 입출력 회로를 구비하는 디미터 전송 시스템의 개략적인 틀만도이다. 도 1은 차례로 두 개의 동시에 양방향 입출력 회로(10) 및 제2동시 양방향 입출력 회로(60)를 구비한다. 제1동시 양방향 입출력 회로(10) 및 제2동시 양방향 입출력 회로(60)는 시스템 버스 라인(50)을 공통적으로 공유한다.

제1동시 양방향 입출력 회로(10)는 제1입력버퍼(20a), 제1입력버퍼(40a)를 구비하며, 제2동시 양방향 입출력 회로(60)는 제2입력버퍼(20b), 제2입력버퍼(40b)를 구비한다.

제1입력버퍼(20a)는 패드(11)를 통하여 입력되는 디미터(Dout1)를 시스템 버스라인(50)으로 드라이빙한다. 제1입력버퍼(40a)는 패드(11)를 통하여 입력되는 디미터(Dout1)의 논리 상태(예컨대 하이 또는 로우)에 따라 시스템 버스라인(50)상의 디미터(Din1)와 제1기준전압(Vref1) 또는 디미터(Din1)와 제2기준전압(Vref2)을 수신하고, 비교하고 제2입력버퍼(20b)가 드라이빙한 디미터(Dout2)를 경합한다.

제2입력버퍼(20b)는 패드(11)를 통하여 입력되는 디미터(Dout2)를 시스템 버스라인(50)으로 드라이빙한다. 제2입력버퍼(40b)는 패드(11)를 통하여 입력되는 디미터(Dout2)의 논리 상태(예컨대 하이 또는 로우)에 따라 시스템 버스라인(50)상의 디미터(Din2)와 제1기준전압(Vref1) 또는 디미터(Din2)와 제2기준전압(Vref2)을 수신하고 비교하여 제1입력버퍼(20a)가 드라이빙한 디미터(Dout1)를 경합한다.

시스템 버스라인(50)상의 디미터(Din1, Din2)의 레벨은 제1입력버퍼(20a)의 출력신호 및 제2입력버퍼(20b)의 출력신호에 따라 결정된다.

도 2는 도 1에 도시된 디미터 전송 시스템의 동작을 나타내는 타이밍도이다. 도 1 및 도 2를 참조하여 디미터 전송 시스템(100)의 동작을 상세히 설명하면 다음과 같다.

여기서, 제1기준전압(Vref1)은 입력되는 디미터(Dout1, Dout2) 수율의 75%정도로 설정되고, 제2기준전압(Vref2)은 입력되는 디미터(Dout1, Dout2) 수율의 25%정도로 설정된다.

우선, 각 패드(11, 11')로 입력되는 디미터(Dout1, Dout2)가 논리 하이(1)상인 경우, 제1입력버퍼(40a) 및 제2입력버퍼(40b)각각은 논리 하이인 디미터(Dout1, Dout2)에 응답하여 제1기준전압(Vref1)을 기준으로 각각 설정한다. 따라서 제1입력버퍼(20a) 및 제2입력버퍼(20b)의 출력신호는 논리 하이미므로, 시스템 버스라인(50)상의 전압(Din1, Din2)은 논리 하이이다.

제1입력버퍼(40a) 및 제2입력버퍼(40b)각각은 하이인 시스템 버스 라인(50)상의 전압(Din1, Din2)과 제1기준전압(Vref1)차이를 증폭하여 하이인 디미터(Dout1, Dout2)를 각각 경합한다.

그러나 패드(11)를 통하여 입력된 디미터(Dout1)가 논리 하이이고, 패드(11')를 통하여 입력되는 디미터(Dout2)가 논리 로우인 경우, 제1입력버퍼(40a)는 제1기준전압(Vref1)을 기준으로 각각 설정하고, 제2입력버퍼(40b)는 제2기준전압(Vref2)을 기준으로 각각 설정한다. 이때 시스템 버스라인(50)의 전압(Din1, Din2)은 디미터 하이(Yh)와 디미터 로우(Yl)의 중간값(Ymid)을 갖는다.

제1입력버퍼(40a)는 제1기준전압(Vref1=0.75V)과 시스템 버스라인(50)상의 전압(Din1-Ymid)의 차이를 증폭하여 제2입력버퍼(20b)가 드라이빙한 로우(1op)인 디미터(Dout2)를 경합한다. 그러나 제2입력버퍼(40b)는 제2기준전압(Vref2=0.25V)과 시스템 버스라인(50)상의 전압(Din2-Ymid)의 차이를 증폭하여 제1입력버퍼(20a)가 드라이빙한 논리 하이인 디미터(Dout1)를 경합한다.

각 디미터(Dout1, Dout2)의 상태에 따른 동시에 양방향 입출력 회로(10) 및/또는 제2동시 양방향 입출력 회로(60)의 출력은 당업자만이 용이하게 이용할 수 있을 것이다.

증례의 제1동시 양방향 입출력 회로(10) 및/또는 제2동시 양방향 입출력 회로(60)는 시스템 버스라인(50)을 통하여 입력되는 디미터를 각각 25%정도의 스윙 마진(swing margin)을 가지고 경합한다.

보상이 이루어지자 하는 기술적 조건

따라서 본 발명은 이루고자 하는 기술적인 과제는 디미터 입력 마진을 증가시킨 양방향 입출력 회로 및 디미터 경합 방법을 제공하는 것이다.

보상의 구상 및 작동

상기 기술적 과제를 달성하기 위한 본 발명에 따른 동시에 디미터를 전송하고 수신하기 위한 디미터 입출력 회로는 버스라인: 입력단자: 상기 버스라인 및 상기 입력단자사이에 접속되고, 상기 입력단자를 통하여 입력되는 출력형 신호를 수신하여 상기 버스라인으로 전송하는 출력버퍼; 및 상기 버스라인 및 상기 입력단자사이에 접속되고, 상기 입력단자를 통하여 입력되는 출력형 신호의 상태에 따라, 서로 다른 레벨을 갖는 세 개의 기준신호를 증폭하여 디미터를 경합하는 디미터 입출력 회로의 외부로부터 입력된 입력신호와 상기 출력버퍼의 출력신호에 의하여 결정된 상기 버스라인상의 신호를 비교하고, 상기 입력신호를 생성하는 입력버퍼를 구비한다.

상기 세 개의 기준신호를 증폭하여 어느 하나의 기준신호는 나머지 기준신호들의 합의 접반이다.

상기 기술적 과제를 달성하기 위한 동시에 양방향 입출력 회로는 버스라인(330): 입력단자(310): 상기 입력단자와 상기 버스라인사이에 접속되고, 상기 입력단자로 입력되는 출력형 신호를 수신하고 상기 버스라인

[첨부그림 3]

10-2004-0026576

로 전송하는 헉터비퍼(320); 상기 입력 단자와 상기 버스리인사이에 접속되고, 제1회로단자와 제2회로단자를 구비하고, 제1노리온상태를 갖는 상기 헉터필 신호(Out)에 응답하여 상기 버스리인의 전압과 제1기준압과 제1기준압의 전압차이를 축소하거나 또는 상기 버스리인의 전압과 제2기준압의 전압차이를 축소하는 제1회로 회로회로(360); 및 상기 제1회로단자와 상기 버스리인사이에 접속되고, 상기 제2회로단자와 제2회로단자에 각각 접속되는 제1회로단자와 제2회로단자를 구비하고, 제2노리온상태를 갖는 상기 헉터필 신호(Out)에 응답하여 상기 버스리인의 전압과 상기 제2기준압의 전압차이를 축소하거나 또는 상기 버스리인의 전압과 제3기준압의 전압차이를 축소하는 제3회로 회로회로(380)를 구비한다.

상기 버스라인의 전압은 상기 출력버퍼의 충전신호 및 상기 입출력회로의 외부로부터 상기 버스라인으로 입력되는 입력신호에 의존하며 결정된다.

상기 기술적 과제를 달성하기 위한 동시에 양방향 협력체계로는 버스리안·인력단자·상기 입력단자와 상기 버스리안 사이에서 접속되며, 상기 입력단자로 입력되는 허브신호를 수신하고 상기 버스리안으로 전송되는 허브신호를 구비하는 제1설비의 험복신호에 응답하여 험복신호로 제1설비단과 제2설비단을 구비하고, 제1설비단과 제2설비단을 구비하는 제2차운행증기와 제2설비단에 상기 접속되는 험복신호에 응답하여 험복신호로 제2설비단에 상기 접속되는 제2차운행증기와 제2설비단을 구비하고, 상기 제1차운행증기와 제1설비단에 상기 접속되는 제1차운행증기와 제1설비단을 구비하고, 제4설비단은 제5설비단과 제6설비단을 구비하는 제2차운행증기를 구비하고, 상기 버스리안상의 신호와 제기준신호의 사이에 상기 제1설비는 및 상기 제2설비단으로 풍광되고, 상기 버스리안상의 신호와 제기준신호의 차이미는 상기 제1설비단 및 상기 제2설비단으로 풍광되고, 상기 버스리안상의 신호와 제기준신호의 차이미는 상기 제4설비단 및 상기 제6설비단으로 풍광되고, 상기 버스리안상의 신호와 제기준신호의 차이미는 상기 제1설비단 및 상기 제2설비단으로 풍광된다.

상기 입력신호는 삼기 동시에 영향을 입출력회로의 외부로부터 입력되는 신호이다.
본 발명과 본 발명의 등장상의 이점 및 본 발명의 실시예에 의하여 달성되는 목적을 충분히 이해하기 위하여
서는 본 발명의 구체적인 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여 미온

이하, 혁신적 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다.

도 3은 본 발명의 실시예에 따른 당시 응봉향 입출석체계로의 개략적인 블록도이다. 도 3를 참조하면, 본 발명에 따른 당시 응봉향 입출석체계로(300)는 축력버퍼(320) 및 압력버퍼(350)를 구비한다.

출력버퍼(320)는 버스리스간(330)과 딥렉트부팅(310)사이에 접속되며, 딥렉트온(310)을 통하여 딥렉트부팅 신호(to-be-transferred output signal, Dout)를 수신하고, 버스리프팅과 버스리스간(330)으로 전송한다. 딥렉트 신호(Dout)는 논리 하이 또는 논리 로우이다.

입력버퍼(350)는 버스리스간(330)과 원터단자(310)사이에 접속되고, 원터단자(310)를 통하여 입력되는 딥렉트 신호(Dout)의 논리상태(하이 또는 로우)를 세서 다른 레벨을 갖는 세 개의 기준전압(VrefH, VrefL, VrefM) 통해서 두개의 기준전압들(VrefH와 VrefL, VrefH와 VrefM) 및 디터터 입력저희회로(300)의 외부부팅 페드(340)를 통하여 딥렉트신호(110)와 딥렉트신호(Dout)에 의하여 설정된 버스리스간(330)의 신호(110)를 HIGH하고, 페드(340)에 의해 설정된 신호(110)를 LOW로 설정한다.

[첨부그림 4]

10-2004-00265576

입력버퍼(350)는 입력단자(310)와 버스라인(330)사이에 병렬로 접속되는 제1신호검출회로(360) 및 제2신호검출회로(380)를 구비한다. 제1신호검출회로(360)는 제1논리상태(여리미 허미)를 갖는 출력될 신호(Dout)에 응답하여 버스라인(330)상의 전압(0In)과 제2기준전압(VrefH)사이의 전압차이를 증폭하거나 또 버스라인(330)상의 전압(0In)과 제3기준전압(VrefL)사이의 전압차이를 증폭하고, 증폭된 결과를 제1출력단(OUT)과 제2출력단(OUTB)으로 출력한다.

제2신호검출회로(380)는 제1신호검출회로(360)의 제1출력단(OUT)과 제2출력단(OUTB)에 각각 접속되는 제1출력단과 제2출력단을 구비하고, 제2논리상태(예컨대 토우)를 갖는 출력될 신호(Dout)에 응답하여 버스라인(330)상의 전압(0In)과 제2기준전압(VrefH)사이의 전압차이를 증폭하거나 또는 버스라인(330)상의 전압(0In)과 제3기준전압(VrefL)사이의 전압차이를 증폭한다. 각 신호 검출회로(360, 380)는 차동증폭기로 구현되는 것이 바람직하다.

여기서 제1기준전압(VrefH)은 입력데이터(IN)의 하이레벨로 정의하고, 제3기준전압(VrefL)은 입력데이터(IN)의 로우레벨로 정의하고, 제2기준전압(VrefH)은 제1기준전압(VrefH)과 제3기준전압(VrefL)의 합의 절반레벨로 정의된다. 부연하면, 제2기준전압(VrefH)은 입력데이터(IN)의 스윙의 절반, 즉 VrefH=VrefH+VrefL)/2인 것이다. 바람직하다.

도 4는 도 3에 도시된 입력버퍼의 제1회로도를 나타낸다. 도 4를 참조하면, 입력버퍼(350)는 제1신호 검출회로(360) 및 제2신호 검출회로(380)를 구비한다.

제1신호 검출회로(360)는 차동증폭기들(369, 371), 다수개의 NMOS 트랜지스터들(361, 373, 375) 및 저항들(365, 367)을 구비한다.

NMOS 트랜지스터(361)는 견일전압(VDD)과 노드(368)사이에 접속되고, NMOS 트랜지스터(361)의 게이트로 출력될 신호(Dout)가 입력된다. 저항(365)은 노드(363)와 제2출력단(OUTB)사이에 접속되고, 저항(367)은 노드(363)와 제1출력단(OUT)사이에 접속된다.

NMOS 트랜지스터(369_1)는 제1출력단(OUT)과 노드(ND1)사이에 접속되고, 제2기준전압(VrefH)은 NMOS 트랜지스터(369_1)의 게이트로 입력된다. NMOS 트랜지스터(369_2)는 제2출력단(OUTB)과 노드(ND1)사이에 접속되고, 버스라인(330)상의 전압(0In)은 NMOS 트랜지스터(369_2)의 게이트로 입력된다.

NMOS 트랜지스터(371_1)는 제2출력단(OUTB)과 노드(ND2)사이에 접속되고, 버스라인(330)상의 전압(0In)은 NMOS 트랜지스터(371_1)의 게이트로 입력된다. NMOS 트랜지스터(371_2)는 제1출력단(OUT)과 노드(ND3)사이에 접속되고, 제1기준전압(VrefL)은 NMOS 트랜지스터(371_2)의 게이트로 입력된다.

NMOS 트랜지스터(373)는 노드(ND1)와 접지전원(VSS)사이에 접속되고, 바이어스 전압(bias)은 NMOS 트랜지스터(373)의 게이트로 입력된다. NMOS 트랜지스터(375)는 노드(ND3)와 접지전원(VSS)사이에 접속되고, 바이어스 전압(bias)은 NMOS 트랜지스터(375)의 게이트로 입력된다.

제2신호 검출회로(380)는 차동증폭기들(389, 391), 다수개의 NMOS 트랜지스터들(381, 393, 395) 및 저항들(385, 387)을 구비한다.

PMOS 트랜지스터(381)는 견일전압(VDD)과 노드(383)사이에 접속되고, PMOS 트랜지스터(381)의 게이트로 출력될 신호(Dout)가 입력된다. 저항(385)은 노드(383)와 제1출력단(OUT)사이에 접속되고, 저항(387)은 노드(383)와 제2출력단(OUTB)사이에 접속된다.

NMOS 트랜지스터(389_1)는 제2출력단(OUT)과 노드(ND5)사이에 접속되고, 버스라인(330)상의 전압(0In)은 NMOS 트랜지스터(389_1)의 게이트로 입력된다. NMOS 트랜지스터(389_2)는 제1출력단(OUT)과 노드(ND5)사이에 접속되고, 제2기준전압(VrefL)은 NMOS 트랜지스터(389_2)의 게이트로 입력된다.

NMOS 트랜지스터(391_1)는 제1출력단(OUT)과 노드(ND7)사이에 접속되고, 제2기준전압(VrefL)은 NMOS 트랜지스터(391_1)의 게이트로 입력된다. NMOS 트랜지스터(391_2)는 제2출력단(OUTB)과 노드(ND7)사이에 접속되고, 버스라인(330)상의 전압(0In)은 NMOS 트랜지스터(391_2)의 게이트로 입력된다.

NMOS 트랜지스터(393)는 노드(ND6)와 접지전원(VSS)사이에 접속되고, 바이어스 전압(bias)은 NMOS 트랜지스터(393)의 게이트로 입력된다. NMOS 트랜지스터(395)는 노드(ND7)와 접지전원(VSS)사이에 접속되고, 바이어스 전압(bias)은 NMOS 트랜지스터(395)의 게이트로 입력된다.

도 5는 도 3에 도시된 입력버퍼의 제2회로도를 나타낸다. 도 5를 참조하면, 입력버퍼(350)는 제1신호 검출회로(360) 및 제2신호 검출회로(380)를 구비한다.

제1신호 검출회로(360)는 차동증폭기들(565, 567), 다수개의 NMOS 트랜지스터들(569, 571, 573, 575) 및 저항들(561, 563)을 구비한다.

저항(561)은 전원전압(VDD)과 제2출력단(OUTB)사이에 접속되고, 저항(563)은 전원전압(VDD)과 제1출력단(OUT)사이에 접속된다.

NMOS 트랜지스터(565_1)는 제1출력단(OUT)과 노드(ND11)사이에 접속되고, 제2기준전압(VrefH)은 NMOS 트랜지스터(565_1)의 게이트로 입력된다. NMOS 트랜지스터(565_2)는 제2출력단(OUTB)과 노드(ND11)사이에 접속되고, 버스라인(330)상의 전압(0In)은 NMOS 트랜지스터(565_2)의 게이트로 입력된다.

NMOS 트랜지스터(567_1)는 제2출력단(OUTB)과 노드(ND13)사이에 접속되고, 버스라인(330)상의 전압(0In)은 NMOS 트랜지스터(567_1)의 게이트로 입력된다. NMOS 트랜지스터(567_2)는 제1출력단(OUT)과 노드(ND13)사이에 접속되고, 제1기준전압(VrefL)은 NMOS 트랜지스터(567_2)의 게이트로 입력된다.

노드(ND11)는 직렬로 접속된 NMOS 트랜지스터들(569, 573)을 통하여 접지전원(VSS)에 접속되고, 출력될 신호(Dout)는 NMOS 트랜지스터(569)의 게이트로 입력되고, 바이어스 전압(bias)은 NMOS 트랜지스터(573)의 게이트로 입력된다.

노드(ND13)는 직렬로 접속된 NMOS 트랜지스터들(571, 575)을 통하여 접지전원(VSS)에 접속되고, 출력될

[첨부그림 5]

10-2004-0026576

신호(Dout)는 NMOS 트랜지스터(571)의 게이트로 입력되고, 바이어스 전압(bias)은 NMOS 트랜지스터(575)의 게이트로 입력된다.

제2신호 경합회로(380)는 차등 증폭기별(585, 587), 다수개의 NMOS 트랜지스터들(589, 591, 593, 595) 및 저압회로(581, 583)를 구비한다.

저항(581)은 전원전압(VDD)과 제1출력단(DUT)사이에 접속되고, 저항(583)은 전원전압(VDD)과 제2출력단(DUTB)사이에 접속된다.

NMOS 트랜지스터(585, 1)는 제1출력단(DUT)과 노드(ND15)사이에 접속되고, 제2기준전압(VrefH)은 NMOS 트랜지스터(585, 1)의 게이트로 입력된다. NMOS 트랜지스터(585, 2)는 제2출력단(DUTB)과 노드(ND15)사이에 접속되고, 버스라인(330)상의 전압(Din)은 NMOS 트랜지스터(585, 2)의 게이트로 입력된다.

NMOS 트랜지스터(587, 1)는 제2출력단(DUTB)과 노드(ND17)사이에 접속되고, 버스라인(330)상의 전압(Din)은 NMOS 트랜지스터(587, 1)의 게이트로 입력된다. NMOS 트랜지스터(587, 2)는 제1출력단(DUT)과 노드(ND17)사이에 접속되고, 제2기준전압(VrefL)은 NMOS 트랜지스터(587, 2)의 게이트로 입력된다.

노드(ND15)는 직렬로 접속된 NMOS 트랜지스터들(589, 593)을 통하여 전지전압(VSS)에 접속되고, 출력된 신호(Dout)는 PMOS 트랜지스터(589)의 게이트로 입력되고, 바이어스 전압(bias)은 NMOS 트랜지스터(593)의 게이트로 입력된다.

노드(ND17)는 직렬로 접속된 NMOS 트랜지스터들(581, 585)을 통하여 전지전압(VSS)에 접속되고, 출력된 신호(Dout)는 PMOS 트랜지스터(581)의 게이트로 입력되고, 바이어스 전압(bias)은 NMOS 트랜지스터(585)의 게이트로 입력된다.

도 6은 도 3에 도시된 당시 양방향 입출력회로의 동작을 나타내는 타이밍도이다. 도 3, 도 4 및 도 6를 참조하여 당시 양방향 입출력회로(300)의 동작을 설명하면 다음과 같다. 이 경우 바이어스 전압(bias)은 하이라고 가정한다.

구간 A를 보면, 입력단자(310)를 통하여 입력되는 출력될 신호(Dout)가 논리 하이이므로, 제1신호 경합회로(360)는 활성화되고, 제2신호 경합회로(380)는 비활성화된다. 따라서 차동증폭기(371)는 버스라인(330)상의 신호(Din)의 레벨은 제1기준전압(VrefH)의 레벨과 동일하다. 따라서 차동증폭기(369)는 버스라인(330)상의 전압(Din-VrefH)과 제2기준전압(VrefL)사이의 전압차이를 증폭하고, 증폭된 차동신호(369)를 제1출력단(DUT) 및 제2출력단(DUTB)으로 출력한다. 이때 제1출력신호(OUT)는 논리로우이다.

구간 B를 보면, 출력될 신호(Dout)는 논리로우이며, 입력신호(IN)는 논리로우이다. 따라서 버스라인(330)상의 전압은 논리하이와 논리로우의 합의 중간값, 즉 제2기준전압과 동일하다. 따라서 차동증폭기(371)는 버스라인(330)상의 신호(Din)의 레벨은 제1기준전압(VrefH)과 제2기준전압(VrefL)사이의 전압(Din)을 허우(360)는 비활성화되고, 제2신호 경합회로(380)는 활성화된다. 그리고 버스라인(330)상의 전압(Din)은 논리로우이며, 출력될 신호(Dout)는 논리하이이다. 이때 제2기준전압(VrefL)으로 된 신호(OUT)는 논리로우이다.

구간 C를 보면, 출력될 신호(Dout)는 논리로우이고, 입력신호(IN)는 논리하이이다. 따라서 제1신호 경합회로(360)는 비활성화되고, 제2신호 경합회로(380)는 활성화된다. 그리고 버스라인(330)상의 전압(Din)은 논리로우, 제3기준전압(VrefL)으로 된다.

따라서 차동증폭기(389)는 버스라인(330)상의 전압(Din-VrefL)과 제3기준전압(VrefL)사이의 전압차이를 증폭하고, 증폭된 차동신호(389)를 제1출력단(DUT) 및 제2출력단(DUTB)으로 출력한다. 이때 제1출력신호(OUT)는 논리하이이다.

구간 D를 보면, 출력될 신호(Dout)는 논리로우이고, 입력신호(IN)는 논리로우이다. 따라서 제1신호 경합회로(360)는 비활성화되고, 제2신호 경합회로(380)는 활성화된다. 그리고 버스라인(330)상의 전압(Din)은 논리로우, 제3기준전압(VrefL)으로 된다.

따라서 차동증폭기(389)는 버스라인(330)상의 전압(Din-VrefL)과 제3기준전압(VrefL)사이의 전압차이를 증폭하고, 증폭된 차동신호(389)를 제1출력단(DUT) 및 제2출력단(DUTB)으로 출력한다. 이때 제1출력신호(OUT)는 논리로우이다.

본 발명에 따른 당시 양방향 입출력회로(300)는 입력 데이터(IN)를 각각 50%의 스윙 마진을 가지고 겹침하는 효과가 있다.

도 3, 도 5 및 도 6를 참조한 당시 양방향 입출력회로(300)의 동작은 도 3, 도 4 및 도 6를 참조한 당시 양방향 입출력회로(300)의 동작과 동일하다. 따라서 이에 대한 상세한 동작 설명은 생략한다.

도 7은 본 발명의 실시예에 따른 당시 양방향 입출력회로를 구비하는 데이터 전송시스템의 개략적인 블록도를 나타낸다. 도 7의 데이터 전송시스템(700)은 제1반도체 장치에 장착되는 제1동시 양방향 입출력회로(300), 제2반도체 장치에 장착되는 제2동시 양방향 입출력회로(300') 및 시스템 버스라인(750)으로 구성된다. 750)를 구비한다.

상기 각각의 반도체 장치는 다수개의 당시 양방향 입출력회로를 구비하고, 각 반도체 장치에 장착되는 각 당시 양방향 입출력회로는 대응되는 시스템 버스라인을 통하여 서로 데이터를 동시에 주고받는다.

그러나 도 7의 데이터 전송 시스템(700)은 설계의 편의를 위하여 제1동시 양방향 입출력회로(300), 제2동시 양방향 입출력회로(300') 및 시스템 버스라인(750)만을 도시한다.

제1동시 양방향 입출력회로(300)는 제1출력버퍼(320) 및 제1입력버퍼(350)를 구비하고, 제2동시 양방향 입출력회로(300')는 제2출력버퍼(320') 및 제2입력버퍼(350')를 구비한다. 제2동시 양방향 입출력회로

[첨부그림 6]

10-2004-0026576

(300')의 구조 및 동작은 도 3에 도시된 당시 양방향 입출력회로(300)의 구조 및 동작과 동일하다. 도 8은 도 7에 도시된 데이터 전송 시스템의 동작을 나타내는 타이밍도이다. 도 4, 도 7 및 도 8은 참조 하면, 데이터 전송 시스템(700)의 동작은 다음과 같다.

우선, 페드(310)를 통하여 입력되는 데이터(Dout1) 및 페드(310')를 통하여 입력되는 데이터(Dout2)가 각각 논리 하이인 경우, 제1출력버퍼(320) 및 제2출력버퍼(320')는 각각 논리 하이인 데이터(Dout1, Dout2)를 대응되는 버스라인(330, 330')로 출력한다.

도 4에서 설명한 바와 같이, 제1입력버퍼(350) 및 제2입력버퍼(350')의 각 제1신호 접촉회로(360)는 활성화되고 제2신호 접촉회로(360)는 비활성화된다. 따라서 제1입력버퍼(350) 및 제2입력버퍼(350')각각은 제3기준전압(VrefH)과 버스라인(330, 330')상의 데이터(Din1, Din2)를 수신하고, 제2기준전압(VrefL)과 버스라인(330, 330')상의 데이터(Din1, Din2)의 차이를 증폭하고, 제2기준전압(VrefL)과 버스라인(330, 330')상의 데이터(Din1, Din2)를 수신하고, 제2기준전압(VrefL)과 버스라인(330, 330')상의 데이터(Din1, Din2)의 차이를 증폭하고, 제2출력버퍼(320)를 통하여 출력된다.

페드(310)를 통하여 입력되는 데이터(Dout1)가 논리 하이이고, 페드(310')를 통하여 입력되는 데이터(Dout2)가 논리 로우인 경우, 버스라인(330, 330')상의 데이터(Din1, Din2)의 차이를 증폭하고, 제2기준전압(VrefL)과 버스라인(330, 330')상의 데이터(Din1, Din2)를 수신하고, 제2기준전압(VrefL)과 버스라인(330, 330')상의 데이터(Din1, Din2)의 차이를 증폭하고, 제2출력버퍼(320')를 통하여 출력된다.

또한, 제2입력버퍼(350')의 제1신호 접촉회로(360)는 비활성화되고, 제2신호 접촉회로(360)는 활성화된다. 따라서 제2입력버퍼(350')는 제3기준전압(VrefL)과 버스라인(330)상의 데이터(Din2)를 수신하고, 제3기준전압(VrefL)과 버스라인(330)상의 데이터(Din2)의 차이를 증폭하고, 제1출력버퍼(320)를 통하여 논리 하이인 데이터(Dout2-Dout1)를 접촉한다.

페드(310)를 통하여 입력되는 데이터(Dout1)가 논리 보우이고, 페드(310')를 통하여 입력되는 데이터(Dout2)가 논리 하이인 경우, 버스라인(330, 330')상의 데이터(Din1, Din2)의 차이를 증폭하고, 제1기준전압(VrefL)과 버스라인(330, 330')상의 데이터(Din1, Din2)를 수신하고, 제1기준전압(VrefL)과 버스라인(330, 330')상의 데이터(Din1, Din2)의 차이를 증폭하고, 제2출력버퍼(320')를 통하여 논리 하이인 데이터(Dout1-Dout2)를 접촉한다.

도 4에서 설명한 바와 같이, 제1입력버퍼(350)의 제1신호 접촉회로(360)는 활성화되고, 제2신호 접촉회로(360)는 비활성화된다. 따라서 제1입력버퍼(350)는 제3기준전압(VrefL)과 버스라인(330)상의 데이터(Din2)를 수신하고, 제3기준전압(VrefL)과 버스라인(330)상의 데이터(Din2)의 차이를 증폭하고, 제1출력버퍼(320)를 통하여 논리 하이인 데이터(Dout2-Dout1)를 접촉한다.

또한, 제2입력버퍼(350')의 제1신호 접촉회로(360)는 활성화되고, 제2신호 접촉회로(360)는 비활성화된다. 따라서 제2입력버퍼(350')는 제3기준전압(VrefL)과 버스라인(330)상의 데이터(Din2)를 수신하고, 제3기준전압(VrefL)과 버스라인(330)상의 데이터(Din2)의 차이를 증폭하고, 제1출력버퍼(320)를 통하여 논리 하이인 데이터(Dout2-Dout1)를 접촉한다.

따라서 본 발명에 따른 당시 양방향 입출력회로 및 이를 구비하는 시스템은 입력데이터를 50%정도의 스윙 마진을 가지고 접촉하므로, 글리치(glitch)에 영향을 덜 받는다.

본 발명은 도면에 도시된 월 실시 예를 참고로 설명되었으나, 이는 예시적인 것에 불과하며, 본 기술 분야 통상의 지식을 가진 자라면 이를부터 다양한 변형 및 공용한 타 형식에 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 전형한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사항에 의해 정해져야 할 것이다.

발명의 요강

상술한 바와 같이 본 발명에 따른 당시 양방향 입출력회로 및 데이터 제작방법은 3개의 기준신호들과 흡 흡신호로 입력신호 각각을 50%정도의 스윙 마진(swing margin)을 가지고 접촉하는 효과가 있다.

157) 첨구의 범위

첨구항 1

당시에 데이터를 전송하고 수신하기 위한 데이터 입출력회로에 있어서,

버스라인;

입력단자;

상기 버스라인 및 상기 입력단자사이에 접속되고, 상기 입력단자를 통하여 입력되는 쿠퍼링 신호를 수신하여 상기 버스라인으로 전송하는 쿠퍼링버퍼; 및

상기 버스라인 및 상기 입력단자사이에 접속되고, 상기 입력단자를 통하여 입력되는 상기 쿠퍼링 신호의 상태에 따라, 서로 다른 레벨을 갖는 세 개의 기준신호를 통해서 두개의 기준신호를 및 상기 데이터 입출력회로의 외부로부터 입력된 입출력신호와 상기 쿠퍼링버퍼의 접촉신호에 의하여 결정되는 상기 버스라인상의 신호를 비교하고, 상기 입력신호를 재생하는 입력버퍼를 구비하는 것을 특징으로 하는 데이터 입출력 회로,

첨구항 2

제1항에 있어서, 상기 세 개의 기준신호들중에서 어느 하나의 기준신호는 나머지 기준신호들의 합의 절반

[첨부그림 7]-

10-2004-0025576

인 것을 특징으로 하는 데이터 입출력회로.

첨구항 3

동시 양방향 입출력회로에 있어서,

버스라인(330);

입력단자(310);

상기 입력단자와 상기 버스라인사이에 접속되고, 상기 입력단자로 입력되는 출력될 신호를 수신하고 상기 버스라인으로 전송하는 출력버퍼(320);

상기 입력단자와 상기 버스라인사이에 접속되고, 제1출력단자와 제2출력단자로 구비하고, 제1논리상태를 갖는 상기 출력될 신호(Out)에 응답하여 상기 버스라인의 전압과 제1기준전압사이의 전압차이를 증폭하거나 또는 상기 버스라인의 전압과 제2기준전압사이의 전압차이를 증폭하는 제1신호 검출회로(360); 및

상기 입력단자와 상기 버스라인사이에 접속되고, 상기 제1출력단자와 상기 제2출력단자에 각각 접속되는 제1출력단자와 제2출력단자로 구비하고, 제2논리상태를 갖는 상기 출력될 신호(Out)에 응답하여 상기 버스라인의 전압과 상기 제2기준전압사이의 전압차이를 증폭하거나 또는 상기 버스라인의 전압과 제3기준전압사이의 전압차이를 증폭하는 제2신호 검출회로(380)를 구비하는 것을 특징으로 하는 입출력회로.

첨구항 4

제3항에 있어서, 상기 버스라인의 전압은 상기 출력버퍼의 출력신호 및 상기 입출력회로의 외부로부터 상기 버스라인으로 입력되는 입력신호에 의하여 결정되는 것을 특징으로 하는 입출력회로.

첨구항 5

동시 양방향 입출력회로에 있어서,

비스라인;

입력단자;

상기 입력단자와 상기 버스라인사이에 접속되고, 상기 입력단자로 입력되는 출력될 신호를 수신하고 상기 버스라인으로 전송하는 출력버퍼; 및

상기 버스라인과 상기 입력단자사이에 병렬로 접속되는 제1신호 검출회로 및 제2신호 검출회로를 구비한다.

상기 제1신호 검출회로는 제1논리 상태를 갖는 상기 출력될 신호에 응답하여 상기 입출력회로의 외부로부터 입력된 입력신호 및 상기 출력버퍼의 출력신호에 의하여 결정된 상기 버스라인의 전압과 제1기준전압사이의 전압차이를 증폭하여 상기 입력신호를 검출하거나 또는 상기 버스라인의 전압과 제2기준전압사이의 전압차이를 증폭하여 상기 입력신호를 검출하여,

상기 제2신호 검출회로는 제2논리 상태를 갖는 상기 출력될 신호에 응답하여 상기 입력신호와 상기 출력버퍼의 출력신호에 의하여 결정된 상기 버스라인의 전압과 제2기준전압사이의 전압차이를 증폭하여 상기 버스라인의 전압과 제3기준전압사이의 전압차이를 증폭하여 상기 입력신호를 검출하거나 또는 상기 버스라인의 전압과 제3기준전압사이의 전압차이를 증폭하여 상기 입력신호를 검출하는 것을 특징으로 하는 데이터 입출력회로.

첨구항 6

제5항에 있어서, 상기 제1신호 검출회로는,

제1출력단 및 제2출력단을 구비하고, 상기 버스라인의 전압 및 상기 제1기준전압차이를 증폭하는 제1차동 증폭기; 및

상기 제1차동증폭기의 제1출력단 및 제2출력단에 각각 접속되는 제1출력단 및 제2출력단을 구비하고, 상기 버스라인의 전압 및 상기 제2기준전압사이의 차이를 증폭하는 제2차동증폭기를 구비하며,

상기 제2신호 검출회로는,

상기 제1차동증폭기의 제1출력단 및 제2출력단에 각각 접속되는 제1출력단 및 제2출력단을 구비하고, 상기 버스라인의 전압 및 상기 제2기준전압사이의 차이를 증폭하는 제3차동증폭기; 및

상기 제1차동증폭기의 제1출력단 및 제2출력단에 각각 접속되는 제1출력단 및 제2출력단을 구비하고, 상기 버스라인의 전압 및 상기 제3기준전압사이의 차이를 증폭하는 제4차동증폭기를 구비하는 것을 특징으로 하는 데이터 입출력회로.

첨구항 7

제5항에 있어서, 상기 제2기준전압은 상기 제1기준전압 및 제3기준전압의 합의 절반인 것을 특징으로 하는 데이터 입출력회로.

첨구항 8

동시 양방향 입출력회로에 있어서,

버스라인;

입력단자;

[첨부그림 8]

10-2004-0026576

상기 원력단자만 상기 버스라인사이에 접속되고, 상기 입력단자로 입력되는 원력신호를 수신하고 상기 버스라인으로 전송하는 콤비네이터;

제1상태의 원력신호에 응답하여 활성화되고, 제1출력단 및 제2출력단을 구비하고, 제1입력단, 제2입력단 및 제3입력단을 구비하는 제1차동등증폭기; 및

제2상태의 상기 원력신호에 응답하여 활성화되고, 상기 제1차동 증폭기의 제1출력단 및 상기 제2출력단에 각각 접속되는 제1출력단 및 상기 제2출력단을 구비하고, 제4입력단, 제5입력단 및 제6입력단을 구비하는 제2차동등증폭기; 및 구비하여,

상기 버스라인상의 신호와 제1기준신호의 차이는 상기 제1입력단 및 상기 제2입력단으로 공급되고, 상기 버스라인상의 신호와 제2기준신호의 차이는 상기 제4입력단 및 상기 제6입력단으로 공급되고, 상기 버스라인상의 신호와 상기 제2기준신호의 차이는 상기 제4입력단 및 상기 제5입력단으로 공급되는 것을 복장으로 하는 입출력회로;

첨구장 9

제8항에 있어서, 상기 제2기준신호는 상기 제1기준신호 및 상기 제3기준신호의 합의 절반인 것을 특징으로 하는 입출력회로.

첨구장 10

동시 양방향 입출력회로에서 하나의 입력신호와 세 기준신호들로부터 데미터를 재생하는 방법에 있어서, 전력신호에 응답하여 상기 세 기준신호들중에서 제1기준신호 및 제2기준신호를 선택하거나 또는 상기 세 기준신호들중에서 상기 제2기준신호 및 제3기준신호를 선택하는 단계;

상기 제1기준신호 및 제2기준신호가 선택되는 경우, 상기 입력신호와 상기 제1기준신호의 차이를 증폭하여 상기 입력신호를 재생하거나 또는 상기 입력신호와 상기 제2기준신호의 차이를 증폭하여 상기 입력신호를 재생하는 단계; 및

상기 제2기준신호 및 제3기준신호가 선택되는 경우, 상기 입력신호와 상기 제2기준신호의 차이를 증폭하여 상기 입력신호를 재생하거나 또는 상기 입력신호와 상기 제3기준신호의 차이를 증폭하여 상기 입력신호를 재생하는 단계를 구비하는 것을 특징으로 하는 데미터 재생방법.

첨구장 11

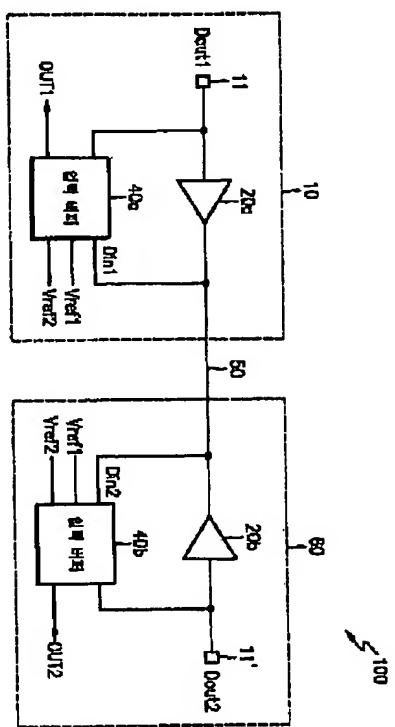
제10항에 있어서, 상기 입력신호는 상기 동시 양방향 입출력회로의 외부로부터 입력되는 신호인 것을 특징으로 하는 데미터 재생방법.

도면

[첨부그림 9]

10-2004-0026576

501



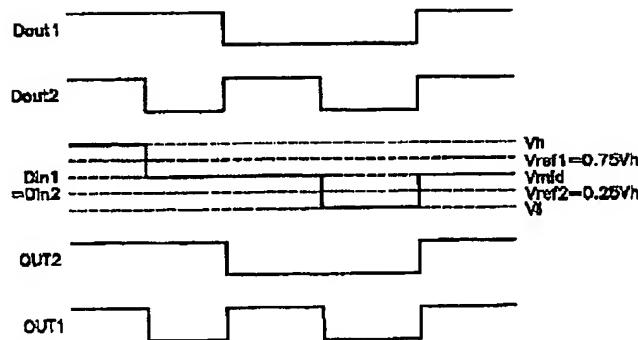
15-9

15-9

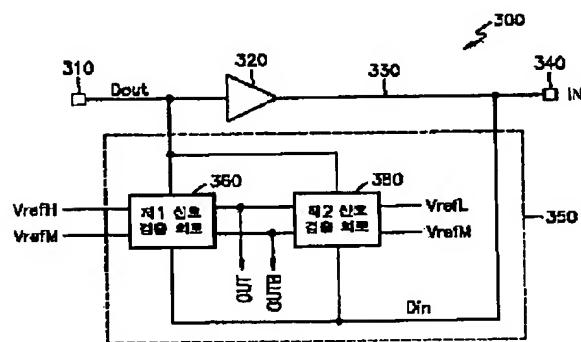
[첨부그림 10]

10-2004-0026576

5022



5023

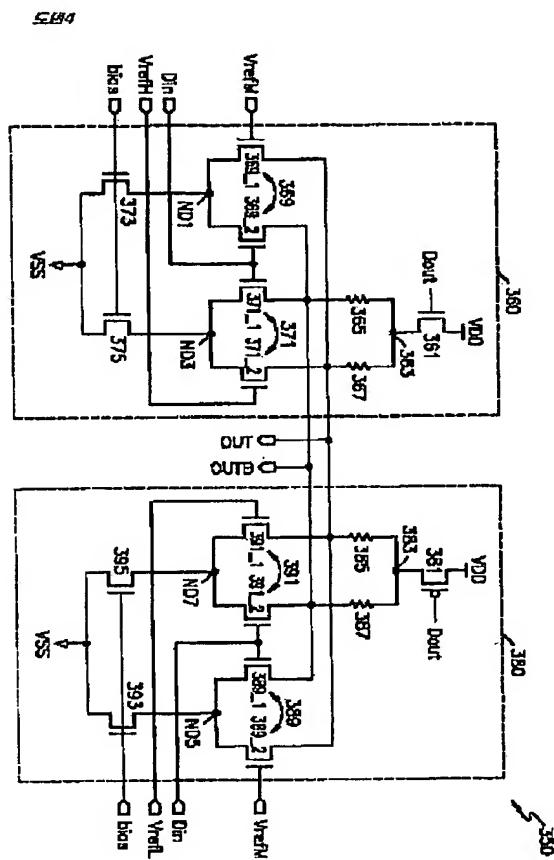


15-10

15-10

—[첨부그림 11]

10-2004-0026576

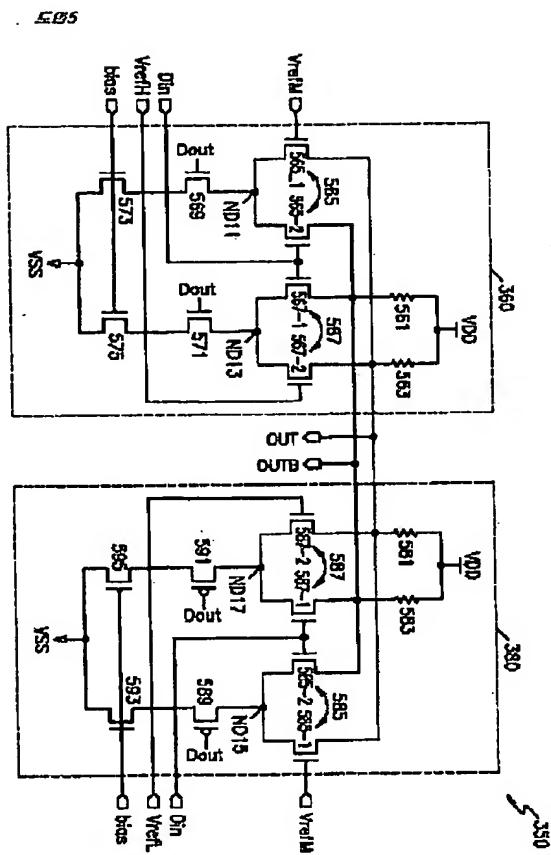


15-11

15-11

[첨부그림 12]

10-2004-0026576

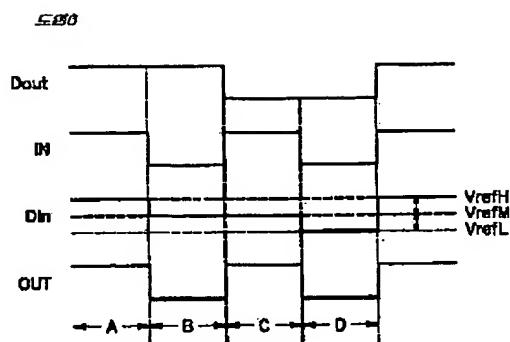


15-12

15-12

[첨부그림 13]

10-2004-0026576



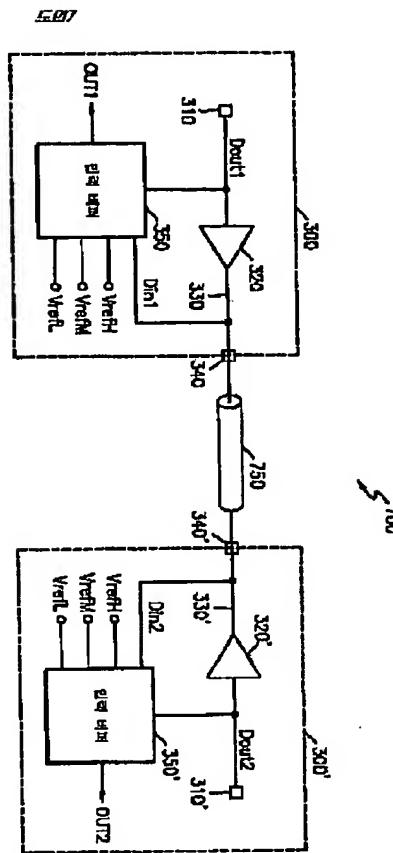
15-13

15-13

BEST AVAILABLE COPY

[첨부그림 14]

10-2004-0026576



15-14

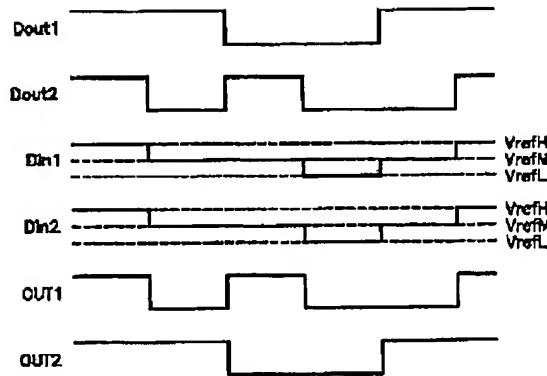
15-14

BEST AVAILABLE COPY

[첨부그림 15]

10-2004-0026576

도면A



15-16

15-15